

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-028258

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

G06F 12/08

G06F 9/46

(21)Application number : 04-181998

(71)Applicant : NEC CORP

(22)Date of filing : 09.07.1992

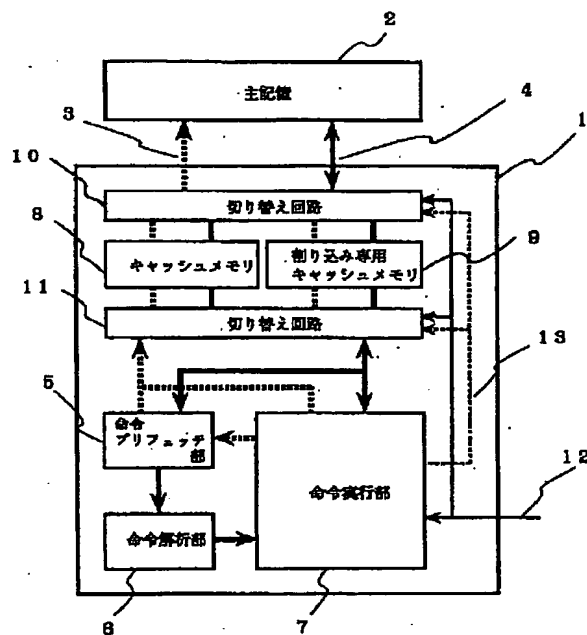
(72)Inventor : MURATA HIROSHI

(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To provide high-speed processing even after a recovery from interruption processing, etc., by preventing data which are held in a cache memory so far from being made ineffective when an accidental event generated by interruption, etc., is processed.

CONSTITUTION: An instruction code which is prefetched by an instruction prefetch part 5 is decoded by an instruction analytic part 6 and when there is memory access from an instruction access part 7, data are written in a cache memory 8 and a cache memory 9 at the same time from a main storage 2 through a switching circuit 10, an address bus 3, and a data bus 4. An external interruption signal 12 is inputted to an instruction execution part 7 and switching circuits 10 and 11 and data are written in the cache memory 9 dedicated to interruption from the main storage 2 by the interruption processing. At this time, data before the interruption are saved in the cache memory 8, so the returning action of the cache memory 8 to its last state from the interruption processing in response to an interruption processing end signal 13 is speeded up.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-28258

(43)公開日 平成 6年(1994) 2月 4日

(51)Int.Cl.⁵

G 0 6 F 12/08

9/46

識別記号

3 1 0 Z

3 1 3 Z

庁内整理番号

7608-5B

8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号

特願平4-181998

(22)出願日

平成 4年(1992) 7月 9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 村田 弘志

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

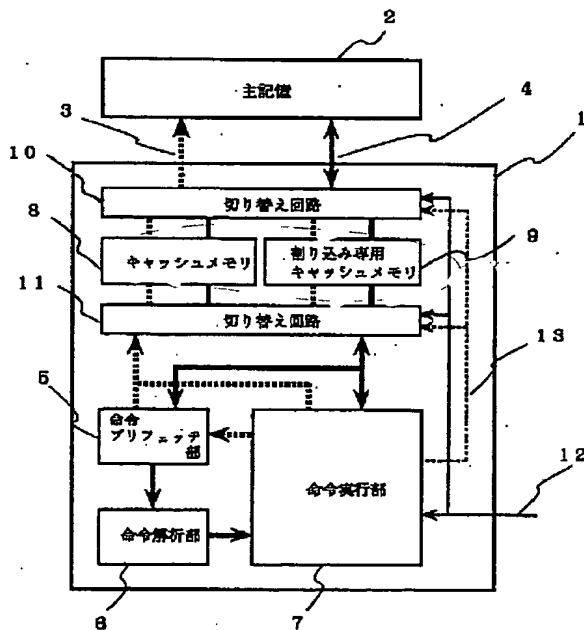
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 マイクロプロセッサ

(57)【要約】

【目的】 割り込みなどにより突発的に生じた事象を処理することで、それまでキャッシュメモリに保持されていたデータが無効化されることを防ぎ、割り込み処理等からの復帰後も高速な処理を実現する。

【構成】 命令プリフェッチ部 5 でプリフェッチされた命令コードは命令解析部 6 でデコードされ、命令アクセス部 7 からのメモリライトアクセスがあると、キャッシュメモリ 8 とキャッシュメモリ 9 には切り替え回路 10 とアドレスバス 3 とデータバス 4 とを介して主記憶 2 からデータが同時に書き込まれる。外部割り込み信号 12 は命令実行部 7 と切り替え回路 10、11 に入力され、割り込み処理によりデータが主記憶 2 から割り込み専用キャッシュメモリ 9 に書き込まれる。このとき、キャッシュメモリ 8 は割り込み前のデータが保存されているので、割り込み処理終了信号 13 により割り込み処理からの復帰後、キャッシュメモリ 8 が再び前の状態に戻る動作が高速化される。



【特許請求の範囲】

【請求項1】 主記憶との間にバッファメモリを有し、マイクロプロセッサがメモリをアクセスする際に、前記主記憶上の所定のデータが前記バッファメモリにも記憶されていれば前記バッファメモリをアクセスし、前記所定のデータが記憶されていなければ前記主記憶を直接アクセスするとともに、そのアドレスで特定されるデータ領域を前記バッファメモリ内のデータと入れ替える動作をするキャッシュメモリ機構を備えた前記マイクロプロセッサにおいて、外部または内部からの割り込み要求に応じて前記マイクロプロセッサが所定の処理を実行するとき、前記割り込み要求前のデータを保持するキャッシュメモリ機構と、前記割り込み要求によって前記主記憶からアクセスして読み出したデータ領域を新たに記憶する割り込み処理専用のキャッシュメモリ機構と、前記割り込み要求と前記マイクロプロセッサの命令実行部からの割り込み終了の信号により前記キャッシュメモリまたは前記割り込み処理専用のキャッシュメモリのいずれか一方を選択する切り替え回路とを備えることを特徴とするマイクロプロセッサ。

【請求項2】 前記命令実行部に設ける切り替え用レジスタから出力するキャッシュ切り替え信号を用いて前記切り替え制御回路を制御することにより、前記キャッシュメモリ及び前記割り込み専用キャッシュメモリの切り替えがプログラマブルに処理できることを特徴とする請求項1記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマイクロプロセッサに関し、特にマイクロプロセッサが有するキャッシュメモリ機構に関する。

【0002】

【従来の技術】 従来のマイクロプロセッサは、図3に示すマイクロコンピュータの構成図によれば外部に設置する主記憶2と、マイクロプロセッサ1と主記憶2とをインターフェースするアドレスバス3と、データバス4と、プログラムカウンタ（図示せず）によりアドレスされた命令を主記憶2から命令実行部7に読み出す命令プリフェッチ部5と、読み出された命令をデコードする命令解析部6と、外部の主記憶2とインターフェースする部分に単一のキャッシュメモリ8を有している。このキャッシュメモリ8は、主記憶上のデータの一部をコピーしており、命令実行部7などからのメモリアクセスに際して、その要求データがキャッシュメモリ8にコピーされていれば（以下、キャッシュヒットと言う。）キャッシュメモリアクセスとなり、上記要求データがコピーされていなければ（以下、キャッシュミスと言う。）主記憶2が直接アクセスされるとともに、そのデータ（もしくはメモリアドレスで特定されるデータ領域）がキャッシュメモリ8に保持されているいずれかのデータと入れ替

わる。

【0003】 キャッシュミスした場合に生じるデータの入れ替えにおいて、キャッシュメモリ内で無効化されるデータは、基本的に主記憶から転送されるデータの低位アドレスが同じものが選ばれる。また、キャッシュヒット率向上のためキャッシュメモリを複数のバンクから構成する。すなわち上記低位アドレスに該当するデータが複数存在することがあるが、その場合には複数あるデータの中から時間的に最もアクセスされていないデータを選択するLRU方式、一定時間内に一度もアクセスされていないデータを選択するFIFO方式、まったく任意にデータを選択するランダム方式などいくつかの方式がある。

【0004】 キャッシュミス時に無効化されるキャッシュメモリ内データの選択においては、上述したいずれの場合においても、データの内容には関係なく、ハードウェア的な要因と過去のアクセス状況によって決められている。

【0005】

【発明が解決しようとする課題】 この従来のマイクロプロセッサでは、それが有するキャッシュメモリ機構において、キャッシュメモリに保持されているデータ管理が、データ内容にはまったく関係なく、ハードウェアまたは過去のアクセス状況によって行われている。このため、キャッシュミスが生じた場合に、必要性の高いデータが無効化されてしまうこともあり、そのデータを再びキャッシュメモリに転送するにあたっては大きなオーバーヘッドとなる。

【0006】 このような課題は、特に頻繁に割り込みが発生するような場合に顕著である。マイクロプロセッサが割り込み処理をすることにより、それまでキャッシュメモリに保持されていたデータが順次無効化されてしまうため、割り込み処理が終了した後、キャッシュメモリが再び割り込み前の状態に戻るまで性能的な低下が生じるという欠点を有している。

【0007】 本発明の目的は、上記の欠点を除去することにより、割り込みなどにより突発的に生じる事象を処理することで、それまでキャッシュメモリに保持されていたデータが無効化されることを防止し、割り込み処理等からの復帰後も高速処理を実現するマイクロプロセッサを提供することにある。

【0008】

【課題を解決するための手段】 本発明の特徴は、主記憶との間にバッファメモリを有し、マイクロプロセッサがメモリをアクセスする際に、前記主記憶上の所定のデータが前記バッファメモリにも記憶されていれば前記バッファメモリをアクセスし、前記所定のデータが記憶されていなければ前記主記憶を直接アクセスするとともに、そのアドレスで特定されるデータ領域を前記バッファメモリ内のデータと入れ替える動作をするキャッシュメモ

リ機構を備えた前記マイクロプロセッサにおいて、外部または内部からの割り込み要求に応じて前記マイクロプロセッサが所定の処理を実行するとき、前記割り込み要求前のデータを保持するキャッシュメモリ機構と、前記割り込み要求によって前記主記憶からアクセスして読み出したデータ領域を新に記憶する割り込み処理専用のキャッシュメモリ機構と、前記割り込み要求と前記マイクロプロセッサの命令実行部からの割り込み終了の信号により前記キャッシュメモリまたは前記割り込み処理専用のキャッシュメモリのいずれか一方を選択する切り替え回路とを備えることにある。

【0009】また、前記命令実行部に設ける切り替え用レジスタから出力するキャッシュ切り替え信号を用いて前記切り替え制御回路を制御することにより、前記キャッシュメモリ及び前記割り込み専用キャッシュメモリの切り替えがプログラマブルに処理できる。

【0010】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の内部構成図を示す図である。主記憶2とのインタフェース部分には、マイクロプロセッサ1の基本的な構成は従来例と同様であるが、通常時に機能しているキャッシュメモリ8と割り込み処理時に機能する割り込み専用キャッシュメモリ9があり、切り替え回路10によってどちらか一方が選択され動作することが従来例とは異なる構成となっている。キャッシュメモリ8と割り込み専用キャッシュメモリ9の構成上の差異はなく、キャッシュミスした場合の動作も同じである。

【0011】命令実行部7等からのメモリライトアクセスがあった場合、キャッシュメモリ8と割り込み専用キャッシュメモリ9の保持しているデータ内容の一致性を保つため、ライトアクセス時のみキャッシュメモリ8と割り込み専用キャッシュメモリ9の両方に同時に書き込む機能を有する。

【0012】ここで、切り替え回路10、11はマイクロプロセッサ1の内部とキャッシュメモリ8、割り込み専用キャッシュメモリ9とのインタフェース、また主記憶2とキャッシュメモリ8、割り込み専用キャッシュメモリ9とのインタフェースを司るもので、アドレスバス3やデータバス4を通常のキャッシュメモリ8に接続するか、割り込み専用キャッシュメモリ9に接続するかを選択する。従ってマイクロプロセッサ1の命令ブリフエッチ5と命令実行部7側に切り替え回路11が、主記憶2側に切り替え回路10がそれぞれ配置されている。

【0013】キャッシュメモリを構成する場合には、命令コードをキャッシングするための命令キャッシュとデータをキャッシングするためのデータキャッシュに分けるのが一般的である。このようなキャッシュ構成においては命令キャッシュ部分のみを図1に示すような構成と

し、データキャッシュ部分は、通常時、割り込み時とも共通とする。

【0014】命令キャッシュのみに適用することで、通常時のキャッシュ8と割り込み専用キャッシュ9の両キャッシュのデータ内容の一致性を管理する必要がなくなるという利点がある。これは、命令キャッシュに対してはデータを更新するようなライトアクセスがなく、ライトアクセスはデータキャッシュのみを対象とすることによる。

【0015】切り替え回路10は、マイクロプロセッサ1の外部からの割り込み信号12と割り込み処理終了信号13によって制御される。割り込み信号12は入力信号そのものであり、割り込み終了信号13は、命令実行部7で割り込み処理最後の命令（例えば割り込みルーチンからのリターン命令）を実行した際に命令実行部7から出力される信号である。

【0016】図2は実施例2の内部構成図である。実施例1との違いは切り替え回路10の制御方法である。実施例2では、命令実行部7の中にキャッシュ切り替えレジスタ14が設けてあり、実施例1においては割り込み信号によって、割り込み専用キャッシュ9をアクティブにするが実施例2では割り込みが発生してプログラムが割り込み処理ルーチンに入ったところで、ソフトウェアで割り込み専用キャッシュメモリ9を起動させる。ソフトウェアで割り込み専用キャッシュメモリ9を制御できることは、割り込み時だけでなく、プログラム処理において別キャッシュを用いたいときに簡単にそれを実現することが可能である。

【0017】従ってこのレジスタ14へソフトウェア的に書き込むことにより切り替え回路10を制御するキャッシュ切り替え信号15が出力される。すなわち、キャッシュメモリ8と割り込み専用キャッシュメモリ9の切り替えがプログラマブルになっている。これにより、割り込み専用キャッシュメモリ9は割り込み処理時のみならず、実行頻度が低いサブルーチンを処理するような場合にも利用することができるようになり、より効率のいいキャッシュ稼働を実現することができる。

【0018】実施例2においては、キャッシュの切り替え制御を必ずしもレジスタで行う必要はなく、マイクロプロセッサがキャッシュ切り替え専用の命令を持って、それにより制御することでも可能である。

【0019】

【発明の効果】以上説明したように本発明は、割り込みなどによる突発的な処理を行う場合には、専用のキャッシュメモリを用いることによって、それまでキャッシュメモリに保持されていたデータが主記憶から読み出したデータに書き替えられるため無効化されることを防いでいる。これによって、割り込み処理等から復帰した場合に、必要となる命令やデータを再び主記憶から転送することがなくなり、それに要していた時間を大幅に減らす

ことによりシステム全体の性能を向上できるという結果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の内部構成図である。

【図2】本発明の第2の実施例の内部構成図である。

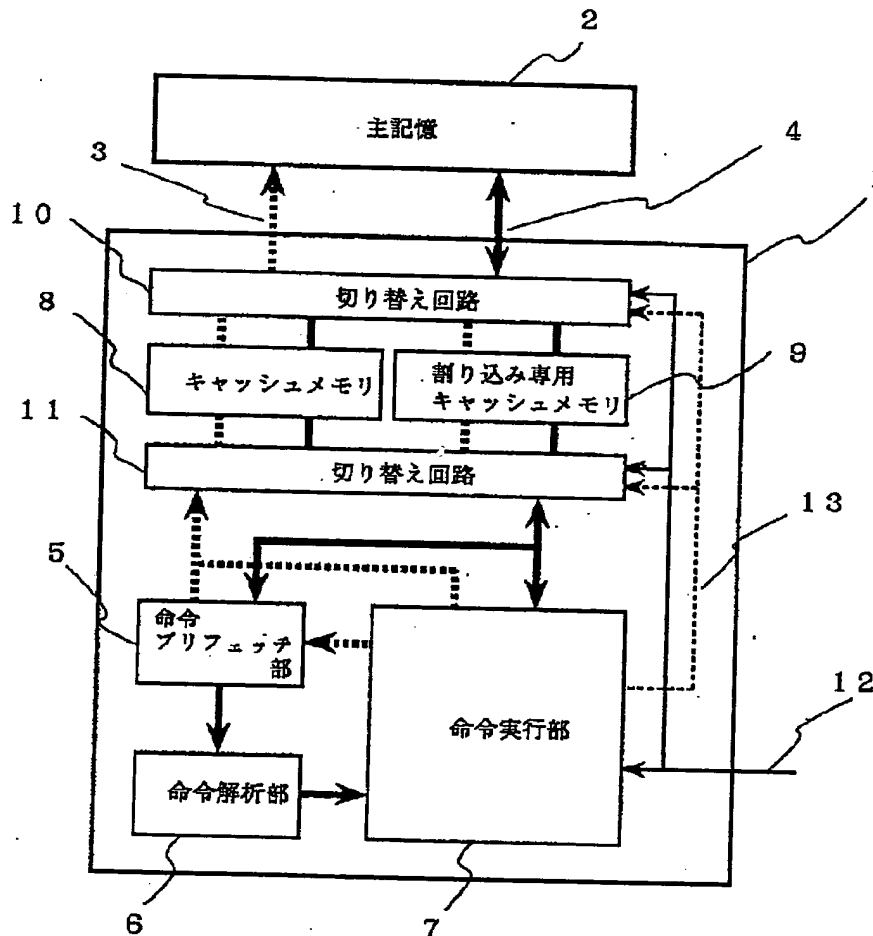
【図3】従来技術のマイクロプロセッサの内部構成図である。

【符号の説明】

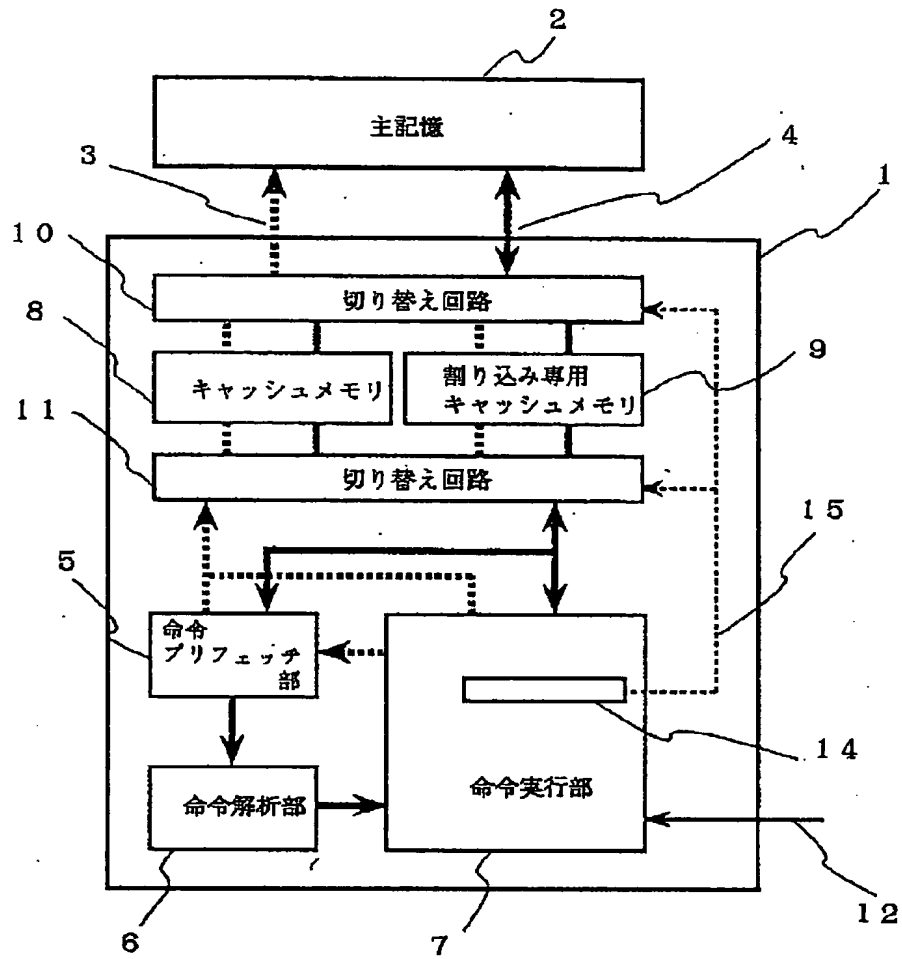
- 1 マイクロプロセッサ
- 2 主記憶
- 3 アドレスバス

- 4 データバス
- 5 命令プリフェッチ部
- 6 命令解析部
- 7 命令実行部
- 8 キャッシュメモリ
- 9 割り込み専用キャッシュメモリ
- 10, 11 切り替え回路
- 12 外部割り込み信号
- 13 割り込み終了信号
- 14 キャッシュ切替用レジスタ
- 15 キャッシュ切替信号

【図1】



【図2】



【図3】

